

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-327679

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/00

Z 7928-5K

H 0 4 B 14/04

B 4101-5K

// H 0 3 L 7/00

B 9182-5J

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-123113

(22)出願日 平成4年(1992)5月15日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 森本 博士

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

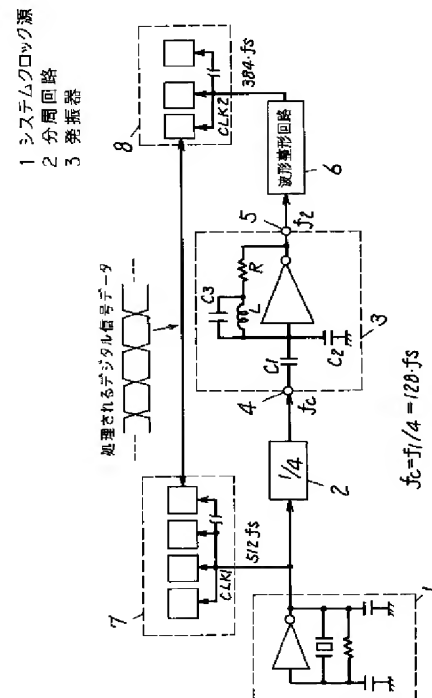
(54)【発明の名称】 同期信号発生装置

(57)【要約】

【目的】 デジタル機器内の2種類のシステムクロック間の同期タイミングをとる。

【構成】 デジタル機器において、それらの公約数となる周波数が存在する2種類のシステムクロックがあり、その入力端4に基本となる一方のシステムクロックもしくは最大公約数となる周波数 f_c を同期入力信号とし、発振周波数を他の一方のシステムクロックの周波数 f_2 に設定された発振器3を主体とする同期信号発生装置。

【効果】 同期入力信号の安定度が装置の安定度を定める為、発振器や周辺素子が簡素化でき、かつ安価な部品で構成できるためコストダウン、省スペースが可能である。



【特許請求の範囲】

【請求項1】 デジタル信号を扱う音響装置において、周波数が異なるシステムクロックが同一機器内に2種類存在し、基本となる一方のシステムクロックと他の一方のシステムクロック間に公約数となる周波数が存在する時に、他の一方のシステムクロックの周波数に発振周波数が設定された発振器と、その入力端に基本となる一方のシステムクロック又は最大公約数に等しい周波数を同期入力信号として印加する事を特徴とする同期信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル信号を扱う音響装置のシステムクロックの制御手法に関するものである。

【0002】

【従来の技術】 従来はデジタル信号を扱う音響装置においてシステムクロックが同一機器内に2種類以上存在する場合、基本となる一方のシステムクロックと他の一方のシステムクロックとの同期をとる手法としてPLL制御方式が採用されてきた。

【0003】 図3にその基本的な構成を示すが位相比較器、ループフィルタ及び電圧制御発振器の3要素からなり立っている。PLL制御についてはその技術、動作原理が広く知られているので基本動作説明は省略するが、特徴として制御をかける周波数間に特別な関係がなくても適切な回路設計をする事により安定な制御ができる事が上げられる。又、一方設計上要求される一般的な条件としては、温度特性等の動作環境変化による電圧制御発振器の周波数変動をカバーする事、早い応答特性である事、入力雑音の影響が少ない事等が上げられる。

【0004】 これらの要求を満足させるためにループフィルタの次数を変えたり、各構成要素を別々のICによる構成からワンチップ化を進めたりといった取り組みで今日は性能の良いPLL制御方式を採用する事が可能となってきた。

【0005】

【発明が解決しようとする課題】 このように従来のPLL制御方式は2つの周波数間に特別な関係がなくてもシステムクロック間の同期を取れるという大きな特徴がある一方回路規模が大きく一般的にコストが高くなるとい

$$f_2 = N_2 \cdot f_{12}$$

ただし $N_1, N_2 = 2, 3, \dots$ (自然数) $N_1 \neq N_2$

【0015】 また図1において f_1 と f_c には

【0016】

【数3】

$$f_1 = N \cdot f_c$$

【0017】 なる関係が成立する。ここで分周回路2の分周比 N を N_1 と同一に設定すると f_1 と f_2 との最大公

約数を有している。

【0006】 本発明は上記問題点に鑑み、低コストで2つの周波数間の同期を取ることが可能な同期信号発生装置を提供することを目的としているものである。

【0007】

【課題を解決するための手段】 上記課題を解決するために本発明の同期信号発生装置は基本となる一方のシステムクロックと、他の一方のシステムクロック間に公約数となる周波数が存在する時に、他の一方のシステムクロックの周波数に発振周波数が設定された発振器と、その入力端に基本となる一方のシステムクロック又は最大公約数に等しい周波数を同期入力信号として印加する事を特徴とする同期信号発生装置である。

【0008】

【作用】 本発明は2種類の周波数の異なるシステムクロック間の同期を安定にかつ低コストで実現する同期信号発生装置を提供するものである。

【0009】

【実施例】 以下、本発明の同期信号発生装置の実施例について図面を参照しながら詳細に説明する。

【0010】 図1は本発明の1実施例における同期信号発生装置の構成を示すものである。図1において、1は基本となるシステムクロック源、2は分周回路、3は発振器、4、5はそれぞれ発振器3の入力端子及び出力端子である。

【0011】 本実施例において以下にその動作の説明をする。図1においてシステムクロック源1の周波数を f_1 、分周回路2の分周比を N 、発振器3の入力端子4における周波数を f_c 、発振器3の出力端子5における周波数を f_{osc} とする。

【0012】 必要な第2のシステムクロックの周波数を f_2 であるとする、基本となる一方のシステムクロックの周波数 f_1 と他の一方のシステムクロックの周波数 f_2 には公約数なる周波数が存在するとしてその中で最大公約数の周波数を f_{12} とすると以下の関係式が成り立つ。

【0013】

【数1】

$$f_1 = N_1 \cdot f_{12}$$

【0014】

【数2】

約数なる周波数 f_{12} は f_c と同一となる。

【0018】 一方発振器3の発振周波数を f_{osc} とすると

【0019】

【数4】

$$f_{osc} = 1 / 2 \cdot \pi \sqrt{(L \cdot (C1 + C2 + 2 \cdot C3))}$$

【0020】となるが、 f_{osc} を必要とする他の一方のシステムクロックの周波数 f_2 に近い値になる様、 L 、 $C1$ 、 $C2$ 、 $C3$ 等の各定数を設定することにより発振周波数 f_{osc} は

【0021】

【数5】

$$f_{osc} \rightarrow f_2 = N2 \cdot f_{12} = N2 \cdot f_c$$

【0022】のように入力信号 f_c の $N2$ なる整数倍の周波数付近で安定しようとする。これは発振器の Q や同期入力信号 f_c の入力レベルを R や $C1$ 、 $C2$ 、 $C3$ の値を適切に設定することにより引き込み現象が起こり入力信号 f_c の高調波成分の内、第($N2$)次高調波により発振周波数 f_{osc} に同期がかかる為である。

【0023】この様な同期発振状態となると、発振周波数 f_{osc} の安定度は同期入力信号の源信号である基本のシステムクロック f_1 の安定度が支配的となり、更に構成が簡単な為時間遅れやジッター歪を発生する要因もほとんどない安定な状態となる。従って基本のシステムクロック f_1 の安定度さえ確保すれば本同期信号発生装置の主要な構成部分の発振器としてインバータ等の安価なロジック素子を使用でき、更にコイル、コンデンサ等の周辺部品も特に精密な部品を使用する事が無くても安定な状態となる。

【0024】更に基本となる一方のシステムクロックの周波数 f_1 と他の一方のシステムクロックの周波数 f_2 に

【0025】

【数6】

$$f_2 = N \cdot f_1$$

【0026】なる関係がある時は図1の分周回路2は不要となり基本となるシステムクロックの周波数 f_1 をそのまま同期入力信号とする事ができ、より一層装置の簡素化が可能である。

【0027】図2は本発明のその他の実施例における同期信号発生装置の回路図である。図2において1から5は図1と同様の構成である。6は波形整形回路、7は基本となる一方のシステムクロック f_1 で動作する回路ブロックで8は他の一方のシステムクロック f_2 で動作する回路ブロックである。回路ブロック7と回路ブロック8の間は基本となる一方のシステムクロック f_1 に同期がとれたデジタル信号データ線が接続されている。

【0028】本実施例では基本となる一方のシステムクロック源1として水晶発振器を使用した例であり、その周波数 f_1 として一般的なデジタルオーディオ機器に使用されている $512 \cdot f_s$ 、他の一方のシステムクロック f_2 は $384 \cdot f_s$ として考える事とする。ただし f_s はサンプリング周波数の事で一般的には44.1kHzもしくは48kHzと考えれば良い。

【0029】このような条件で構成されている同期信号

発生装置について以下にその動作説明をする。

【0030】基本となる一方のシステムクロック f_1 と他の一方のシステムクロック f_2 との最大公約数となる周波数として $128 \cdot f_s$ があるので分周回路2の分周比 N を4と設定すれば良い。この時発振器3の入力端子4における周波数を f_c は

【0031】

【数7】

$$f_c = 128 \cdot f_s$$

【0032】となる。又、発振器3の発振周波数 f_{osc} を L 、 $C1$ 、 $C2$ 、 $C3$ 等の各定数を適切に設定することにより $384 \cdot f_s$ に近い周波数にすることは容易である。

【0033】又、発振器3の入力端子4に印加される周波数 f_c は一般的には完全な正弦波でないので第3次高調波成分が $384 \cdot f_s$ となり、発振器3の発振周波数 f_{osc} と近い周波数となるので前記第一の実施例での説明と同様に発振回路の Q 、印加注入信号レベルが適切に設定されれば発振器3は同期発振状態となりその発振周波数 f_{osc} は同期入力信号 f_c により引き込まれ、位相も基本となる一方のシステムクロック f_1 と同期し、又周波数も $384 \cdot f_s$ と求める他の一方のシステムクロック f_2 と一致する。

【0034】この発振器3の同期発振周波数 f_{osc} (= f_2)出力を波形整形回路6を通して適切なレベル、波形にすることにより他の一方のシステムクロック f_2 により動作する回路ブロック8に供給することができる。この結果回路ブロック7と回路ブロック8間で受け渡しのされるデジタル信号データは問題なく処理することが可能となる。

【0035】

【発明の効果】以上のように本発明によれば同一機器内に周波数が異なるシステムクロックが2種類存在し、基本となる一方のシステムクロックと他の一方のシステムクロック間に公約数となる周波数が存在する時に、基本となる一方のシステムクロック又は最大公約数に等しい周波数を同期入力信号とすることにより、基本となる一方のシステムクロックと同期がとれた他の一方のシステムクロックの周波数と等しい周波数を発生する同期信号発生装置を低コストで実現することができる。

【図面の簡単な説明】

【図1】本発明の1実施例における同期信号発生装置のブロック図である。

【図2】本発明のその他の実施例における同期信号発生装置の回路図である。

【図3】従来のPLL制御方式で構成された同期制御装置のブロック図である。

【符号の説明】

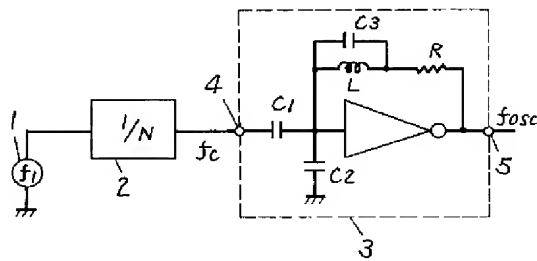
1 基本となるシステムクロック源

- 2 分周回路
- 3 発振器
- 4 発振器3の入力端子
- 5 発振器3の出力端子
- 6 波形整形回路

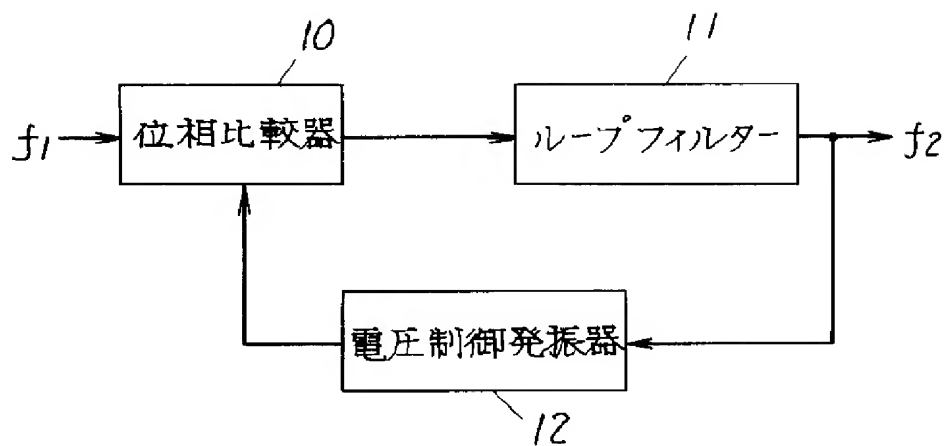
- 7 システムクロック f_1 で動作する回路ブロック
- 8 システムクロック f_2 で動作する回路ブロック
- 10 位相比較器
- 11 ループフィルタ
- 12 電圧制御発振器

【図1】

- 1 システムクロック源
- 2 分周回路
- 3 発振器



【図3】



【図2】

